

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-339694

(43)Date of publication of application : 07.12.2001

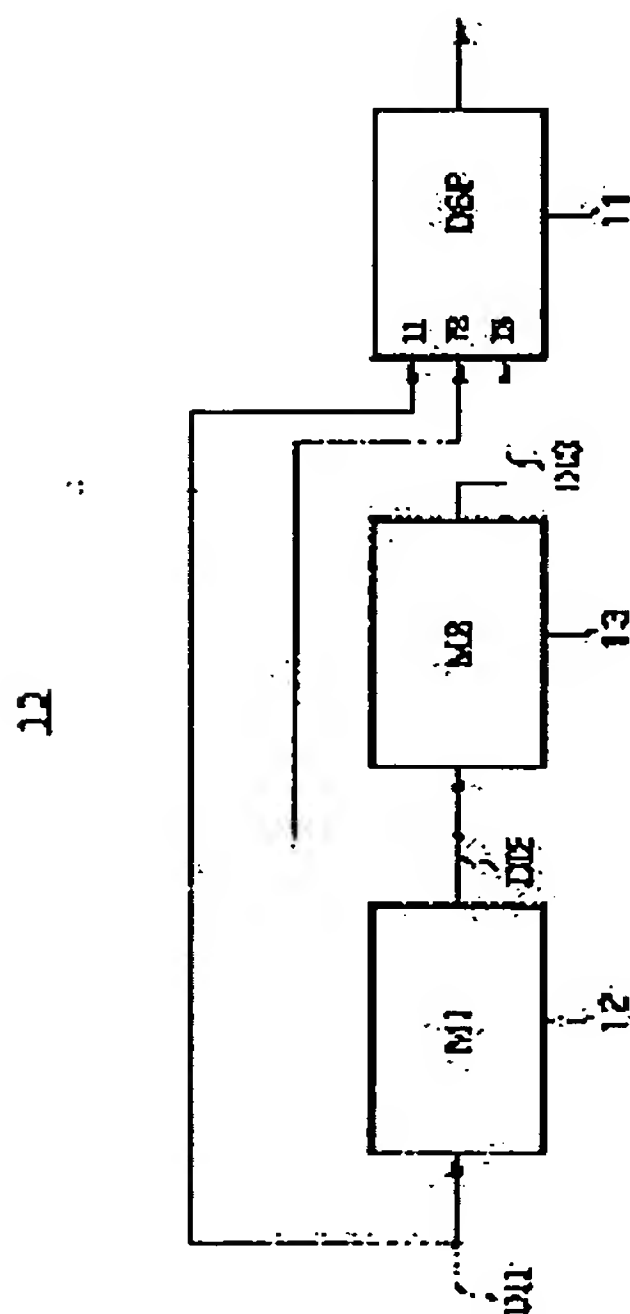
(51)Int.Cl. H04N 7/01

// H04N 11/20

(21)Application number : 2000- (71)Applicant : SONY CORP
158119

(22)Date of filing : 29.05.2000 (72)Inventor : OKUDA TAKUSHI

(54) IMAGE SIGNAL PROCESSOR AND IMAGE SIGNAL PROCESSING METHOD



(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image signal processor which can reduce failure of motion detection that occurs upon IP conversion of high speed scrolling screen, and its method.

SOLUTION: The processor has a DSP 11. It executes motion detection, which is executed when creating interpolation data for lines without data upon IP conversion, according to the motion detection result of the data created by interpolating between the data of the current field and the data delayed by 2 fields, and between the data of the

current field and the data delayed by 1 field, and the motion detection result of the previous field. It creates interpolation data by means of intra-field interpolation from the data delayed by 1 field, for the moving space.

As for the static space, it creates interpolation data by means of inter-field interpolation from the current field. When the resulting value of intra-field interpolation and that of inter-field interpolation exceed the certain threshold, then it regards it to be the moving space, and executes intra-field interpolation. When the result of motion detection for the previous field is static, it makes the threshold value larger, and when it is moving, it makes it smaller.

3

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-339694

(P2001-339694A)

(43)公開日 平成13年12月7日(2001.12.7)

(51)Int.Cl. ⁷	識別記号	F I	キーワード(参考)
H 0 4 N 7/01		H 0 4 N 7/01	G 5 C 0 5 7
// H 0 4 N 11/20		11/20	5 C 0 6 3

審査請求 未請求 請求項の数16 O L (全 12 頁)

(21)出願番号 特願2000-158119(P2000-158119)

(22)出願日 平成12年5月29日(2000.5.29)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 奥田 拓史

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 100094053

弁理士 佐藤 隆久

Fターム(参考) 5C057 AA11 BB03 ED08 ED09 EH10

GG01 GJ01 GK02

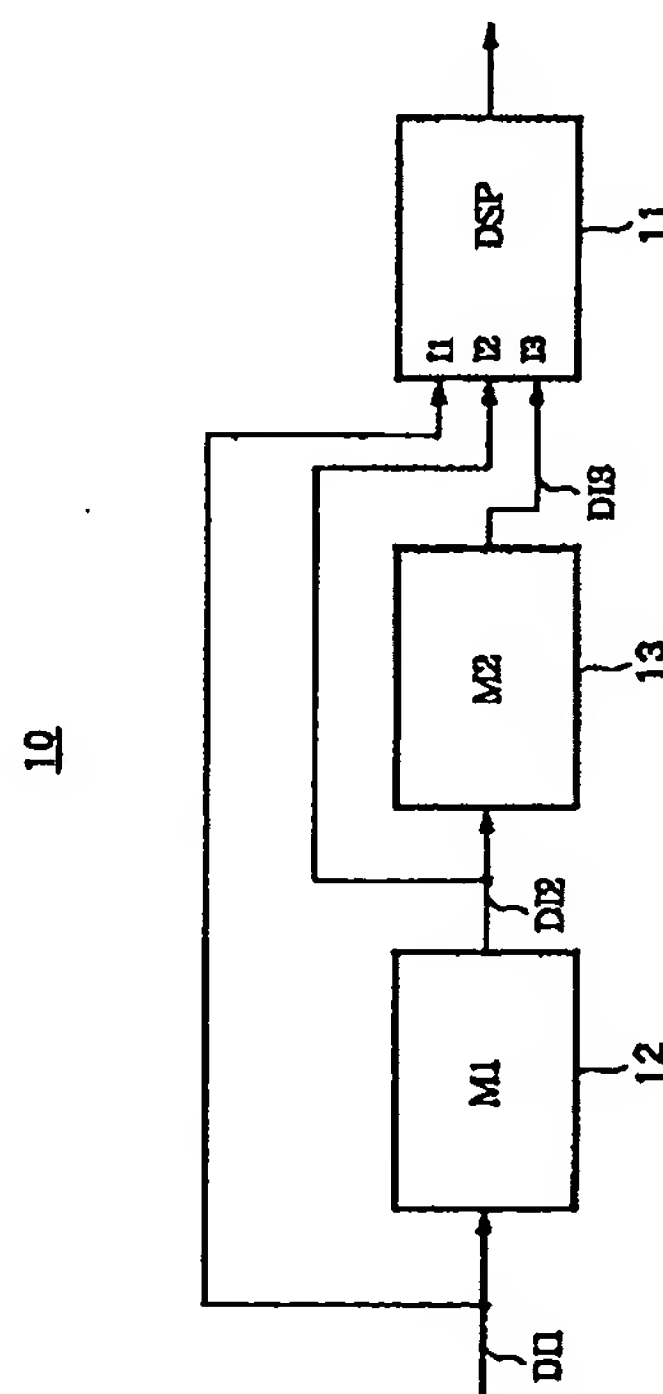
5C063 BA04 BA08 BA12 CA05 CA07

(54)【発明の名称】 画像信号処理装置およびその方法

(57)【要約】

【課題】高速スクロールの画面をI P変換する際に発生する動き検出の破綻を軽減できる画像信号処理装置およびその方法を提供することにある。

【解決手段】I P変換の際のデータの無いラインについて、補間データを作成するときに行う動き検出を、現フィールドと2フィールド遅延のデータと1フィールド遅延のデータから補間して作成したデータと前フィールドの動き検出結果とに基づいて行い、動いている領域は、1フィールド遅延のデータからフィールド内補間して補間データを作成し、静止している領域は、現フィールドのデータからフィールド間補間して補間データを作成し、フィールド内補間の結果と、フィールド間補間の結果が、あるしきい値を超える場合は、動き領域とみなしフィールド内補間を行い、前フィールドの動き検出結果が静止ならばしきい値を大きくし、動きならばしきい値を小さくするDSP 11を設ける。



【特許請求の範囲】

【請求項1】 インターレース信号のデータが存在しないラインについて、動き検出を行い、インターレース信号のデータが存在しないラインについて補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理装置であって、

画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドと2フィールド遅延のデータと1フィールド遅延のデータから補間して作成したデータと前フィールドの動き検出結果とに基づいてピクセルごとに行い、動いている領域は、1フィールド遅延のデータからフィールド内補間して補間データを作成し、静止している領域は、現フィールドのデータ又は、2フィールド遅延のデータ又は、現フィールドのデータおよび2フィールド遅延のデータから補間データを作成する処理手段を有する画像信号処理装置。

【請求項2】 上記処理手段は、フィールド内補間の結果と、フィールド間補間の結果が、所定のしきい値を超える場合は、動き領域とみなしフィールド内補間を行う請求項1記載の画像信号処理装置。

【請求項3】 上記処理手段は、前フィールドの動き検出の結果に応じて上記しきい値を自動的に調整する請求項2記載の画像信号処理装置。

【請求項4】 上記処理手段は、前フィールドの動き検出結果が静止ならば上記しきい値を大きくし、動きならばしきい値を小さくする請求項3記載の画像信号処理装置。

【請求項5】 上記処理手段は、要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサを有する請求項1記載の画像信号処理装置。

【請求項6】 上記処理手段は、要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサを有する請求項2記載の画像信号処理装置。

【請求項7】 上記処理手段は、要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサを有する請求項3記載の画像信号処理装置。

【請求項8】 上記処理手段は、要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサを有する請求項4記載の画像信号処理装置。

【請求項9】 上記要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサは、ビット処理である請求項5記載の画像信号処理装置。

【請求項10】 上記要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサは、ビット処理である請求項6記載の画像信号処理装置。

【請求項11】 上記要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサは、ビット処理である請求項7記載の画像信号処理装置。

【請求項12】 上記要素プロセッサを1次元的に多並

列したSIMD制御プロセッサは、ビット処理である請求項8記載の画像信号処理装置。

【請求項13】 インターレース信号のデータが存在しないラインについて、動き検出を行い、インターレース信号のデータが存在しないラインについて補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理方法であって、

画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドと2フィールド遅延のデータと1フィールド遅延のデータから補間して作成したデータと前フィールドの動き検出結果とに基づいて行い、動いている領域は、1フィールド遅延のデータからフィールド内補間して補間データを作成し、静止している領域は、現フィールドのデータ又は、2フィールド遅延のデータ又は、現フィールドのデータおよび2フィールド遅延のデータからフィールド間補間して補間データを作成する画像信号処理方法。

【請求項14】 フィールド内補間の結果と、フィールド間補間の結果が、所定のしきい値を超える場合は、動き領域とみなしフィールド内補間を行う請求項13記載の画像信号処理方法。

【請求項15】 前フィールドの動き検出の結果に応じて上記しきい値を調整する請求項14記載の画像信号処理方法。

【請求項16】 前フィールドの動き検出結果が静止ならば上記しきい値を大きくし、動きならばしきい値を小さくする請求項15記載の画像信号処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像信号処理装置に係り、特にインターレース信号をプログレッシブ信号に変換（IP変換）する画像信号処理装置およびその方法に関するものである。

【0002】

【従来の技術】テレビジョンやビデオなど、世間の多くの画像信号は、インターレースである。これに対し、コンピュータ信号は、プログレッシブであり、たとえば、コンピュータの画像とテレビの画像を同時に同じコンピュータディスプレイ上に表示するためにはインターレース信号をプログレッシブに変換しなければならない。また、インターレース信号は、その特徴から、画像中に細かい横線があるとちらつきが生じてしまうが、プログレッシブ信号では、そのようなことがなく、きれいに表示されるため、最近では、家庭用のテレビ受像機でも内部でインターレースからプログレッシブへの変換を行い、プログレッシブで表示するようになっているものもある。

【0003】IP変換について

インターレース信号は、図7に示すように、互いにずれた1ラインおきのラインデータをもつ2つのフィールドで

一枚のフレームを構成する。これに対して、プログレッシブ信号は、図8に示すように、最初からすべてのラインデータが存在している（つまっている）。インターレース信号からプログレッシブに変換する場合、インターレースでは、1ラインおきのデータしか存在しないため、データの無いラインについて、補間データを作り出力する。

【0004】この補間データは、いろいろな作り方があがるが、一般的には、図9に示すように、通常は動き検出を行い、動領域と静止領域に分け、動領域についてはフィールド内のデータから補間データを作成し、静止領域については、前フィールドの同じラインのデータをそのまま持ってくるという方法が用いられる。そして、従来、IP変換を行う際の動き検出処理は、現フィールドと2フィールド遅延のデータを比較して判断していた。

【0005】

【発明が解決しようとする課題】ところが、上述したように従来方法では、IP変換を行う元映像に文字テロップが高速スクロールするような映像があった場合に、動き検出が破綻し文字テロップのスクロールが、尾を引いたような感じになってしまっていた。

【0006】たとえば、2つの棒が高速にスクロールして行く場合、図10に示すようになる。なお、図10においては、便宜的に横向きに図示している。図10

(A)が1フィールド目を、図10(B)が2フィールド目を、図10(C)が3フィールド目を、図10

(D)が動き検出の結果を、および図10(E)にIP変換の結果を示している。ここでは、2フィールド目のEラインを補間する。

【0007】動き検出の結果を示す図10(D)において、*は1フィールド目と3フィールド目の差分絶対値を示し、+は動領域空間広げを示している。そして、従来方法に基づくIP変換の結果では、Oのラインについては2フィールド目はそのままであり、Eのラインについては、動き領域(*、+)は2フィールド目から補間し、静止領域()は3フィールド目をそのまま用いている。しかし、この場合、図10(E)に示すように、動き検出の空間広げを拡張しても、完全には回避することができず、エラーとなっている。

【0008】また、従来方法に基づくIP変換の結果において、横方向も同様に、LAPでIP変換を行っていると、文字テロップが高速にスクロールするような画面で、エラーが目立つ。

【0009】たとえば、2つの棒が高速にスクロールして行く場合、図11に示すようになる。図11(A)が1フィールド目を、図11(B)が2フィールド目を、図11(C)が3フィールド目を、図11(D)が動き検出の結果を、および図11(E)にIP変換の結果を示している。この場合も、動き検出の結果を示す図11(D)において、*は1フィールド目と3フィールド目

の差分絶対値を示し、+は動領域空間広げを示している。そして、従来方法に基づくIP変換の結果では、動き領域(*、+)は2フィールド目から補間し、静止領域()は3フィールド目をそのまま用いている。しかし、この場合も、図11(E)に示すように、動き検出の空間広げを拡張しても、完全には回避することができず、エラーとなっている。

【0010】本発明は、かかる事情に鑑みてなされたものであり、その目的は、高速スクロールの画面をIP変換する際に発生する動き検出の破綻を軽減できる画像信号処理装置およびその方法を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明は、インターレース信号のデータが存在しないラインについて、動き検出を行い、インターレース信号のデータが存在しないラインについて、補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号に変換する画像信号処理装置であって、画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドと2フィールド遅延のデータと1フィールド遅延のデータから補間して作成したデータと前フィールドの動き検出結果とに基づいてピクセルごとに行い、動いている領域は、1フィールド遅延のデータからフィールド内補間して補間データを作成し、静止している領域は、現フィールドのデータ又は、2フィールド遅延のデータ又は、現フィールドのデータおよび2フィールド遅延のデータから補間データを作成する処理手段を有する。

【0012】また、本発明では、上記処理手段は、フィールド内補間の結果と、フィールド間補間の結果が、所定のしきい値を超える場合は、動き領域とみなしフィールド内補間を行う。

【0013】また、本発明では、上記処理手段は、前フィールドの動き検出の結果に応じて上記しきい値を自動的に調整する。

【0014】また、本発明では、上記処理手段は、前フィールドの動き検出結果が静止ならば上記しきい値を大きくし、動きならばしきい値を小さくする。

【0015】また、本発明では、上記処理手段は、要素プロセッサを1次元的に多並列にしたSIMD制御プロセッサを有する。

【0016】また、本発明では、上記要素プロセッサを1次元的に多並列したSIMD制御プロセッサは、ビット処理である。

【0017】また、本発明は、インターレース信号のデータが存在しないラインについて、動き検出を行い、インターレース信号のデータが存在しないラインについて、補間データを作成し、当該補間データに基づいて画像データをインターレース信号からプログレッシブ信号

に変換する画像信号処理方法であって、画像データをインターレース信号からプログレッシブ信号に変換する際の動き検出を、現フィールドと2フィールド遅延のデータと1フィールド遅延のデータから補間して作成したデータと前フィールドの動き検出結果とに基づいて行い、動いている領域は、1フィールド遅延のデータからフィールド内補間して補間データを作成し、静止している領域は、現フィールドのデータ又は2フィールド遅延のデータ又は現フィールドのデータおよび2フィールド遅延のデータからフィールド間補間して補間データを作成する。

【0018】本発明によれば、IP変換する際の動き検出が、現フィールドと2フィールド遅延のデータと1フィールド遅延のデータから補間して作成したデータと前フィールドの動き検出結果とに基づいて行われる。そして、動いている領域は、1フィールド遅延のデータからフィールド内補間して補間データが作成される。一方、静止している領域は、現フィールドのデータからフィールド間補間して補間データが作成される。また、フィールド内補間の結果と、フィールド間補間の結果が、所定のしきい値を超える場合は、動き領域とみなしフィールド内補間が行われる。また、前フィールドの動き検出が静止ならばしきい値が大きくなるように調整され、動きならばしきい値が小さくなるように調整される。これにより、静止が続いた場合には、しきい値がだんだん高くなり、ちらつきなくIP変換を行うことができる。

【0019】

【発明の実施の形態】図1は、本発明に係る画像信号処理装置の一実施形態を示すブロック図である。

【0020】この画像信号処理装置10は、図1に示すように、処理手段としてのデジタルシグナルプロセッサ(DSP)11、および1フィールドディレイを生成するためのメモリ12、13を主構成要素として有している。

【0021】DSP11は、図示しない制御系によるパラメータに基づいて、画像ソースによる画像信号をインターレース信号からプログレッシブ信号に変換するIP(インタレース/プログレッシブ)変換を行う。DSP11は、インターレース信号からプログレッシブ信号に変換するIP変換の際のデータの無いラインについて、補間データを作成するときに行う動き検出を、現フィールドと2フィールド遅延のデータと1フィールド遅延のデータから補間して作成したデータと前フィールドの動き検出結果とに基づいて行い、動いている領域は、1フィールド遅延のデータからフィールド内補間して補間データを作成し、静止している領域は、現フィールドのデータからフィールド間補間して補間データを作成する。そして、DSP11は、フィールド内補間の結果と、後述するようにフィールド間補間の結果が、あるしきい値を超える場合は、動き領域とみなしフィールド内補間を

行う。また、DSP11は、前フィールドの動き検出の結果に応じてしきい値を調整する。具体的には、前フィールドの動き検出結果が静止ならばしきい値を大きくし、動きならばしきい値を小さくする。

【0022】1フィールド分のディレイを生成するためのメモリ12(M1)、13(M2)は、DSP11の画像データの入力段に配置されている。画像データの入力ラインが、メモリ12の入力端子と、DSP11の第1入力端子(I1)に接続されている。メモリ12の出力端子がメモリ13の入力端子とDSP21の第2入力端子(I2)に接続されている。そして、メモリ13の出力端子がDSPの第3入力端子(I3)に接続されている。

【0023】DSP11は、リニアアレイ(線型配列)型DSP、たとえば要素プロセッサを1次元的に多並列にしたSIMD(Single Instruction Stream Multiple Data stream)制御方式の並列プロセッサにより構成される。

【0024】以下に、SIMD制御プロセッサの具体的な構成、およびDSP11におけるIP変換処理の具体的な処理内容について、図面に関連付けて順を追って説明する。

【0025】SIMD制御プロセッサの基本的な構成以下、SIMD制御プロセッサの構成を、図2に関連付けて説明する。このSIMD制御プロセッサ100は、図2に示すように、入力ポインタ(入カスキップレジスタ)101、入力SAM(シリアルアクセスメモリ)部(入力レジスタ)102、データメモリ部(ローカルメモリ)103、ALU(Arithmetic and Logic Unit)アレイ部104、出力SAM部(出力レジスタ)105、出力ポインタ(出カスキップレジスタ)106およびプログラム制御部107により構成されている。

【0026】これらの構成部分のうち、入力SAM部102、データメモリ部103および出力SAM部105は、主にメモリから構成される。入力SAM部102、データメモリ部103、ALUアレイ部104および出力SAM部105は、リニアアレイ(線形配列)形式に並列化された複数(原画像の1水平走査期間分の画素数H以上)の要素プロセッサ110を構成する。要素プロセッサ110それぞれ(単一エレメント)は、独立したプロセッサの構成部分を有しており、図2において斜線を付して示す部分に対応する。また、複数の要素プロセッサ110は、図2において横方向に並列に配列され、要素プロセッサ群を構成する。

【0027】入力ポインタ(入カスキップレジスタ)101は、1ビットシフトレジスタであり、外部の画像処理機器(図示せず)等から原画像の1画素分の画素データが入力されるたびに、論理値1(H)の1ビット信号[入力ポインタ信号(SIP)]をシフトすることによ

り、入力された1画素分の画素データを担当する要素プロセッサ110を指定し、指定した要素プロセッサ110の入力SAM部102（入力SAMセル）に、対応する原画像の画素データを書き込む。

【0028】つまり、入力ポインタ101は、原画像の1水平走査期間ごとに、まず、図2の左端の要素プロセッサ110に対する入力ポインタ信号を論理値1として、画素データに同期したクロック信号に応じて入力される最初の原画像の画素データを、図2に示したSIMD制御プロセッサ100の左端の要素プロセッサ100の入力SAM部102に書き込み、さらにその後、クロック信号が1周期分変化するたびに、順次、右隣の要素プロセッサ110に対する論理値1の入力ポインタ信号が右方にシフトして、要素プロセッサ110それぞれの入力SAM部102に、原画像の画素データを1画素分ずつ書き込んでゆく。

【0029】入力SAM部（入力レジスタ）102は、上述したように入力ポインタ101から入力される入力ポインタ信号が論理値1になった場合に、外部の画像処理機器等から入力端子DINに入力される1画素分の画素データ（入力データ）を記憶する。つまり、要素プロセッサ110の入力SAM部102は、全体として、水平走査期間ごとに、原画像の1水平走査期間分の画素データを記憶する。さらに、入力SAM部102は、記憶した1水平走査期間分の原画像の画素データ（入力データ）を、プログラム制御部107の制御に従って、次の水平走査帰線期間において、必要に応じてデータメモリ部103に対して転送する。

【0030】データメモリ部（ローカルメモリ）103は、プログラム制御部107の制御に従い、入力ポインタ101から入力される入力ポインタ信号（SIP）の論理値に応じて、入力SAM部102に入力された原画像の画素データ、演算途中のデータ、および、定数データ等を記憶し、ALUアレイ部104に対して出力する。

【0031】ALUアレイ部104は、プログラム制御部107の制御に従って、データメモリ部103から入力される原画像の画素データ、演算途中のデータ、および、定数データ等に対して算術演算処理および論理演算処理を行って、データメモリ部103の所定のアドレスに記憶する。なお、ALUアレイ部104は、原画像の画素データに対する演算処理を全てビット単位で行い、1サイクルごとに1ビット分のデータを演算処理する。

【0032】出力SAM部（出力レジスタ）105は、プログラム制御部107の制御に従って、1水平走査期間に割り当てられている処理が終了した場合に、データメモリ部103から処理結果の転送を受け記憶する。また、出力SAM部105は、出力ポインタ106から入力される出力ポインタ信号（SOP）に応じて記憶したデータを外部に出力する。

【0033】出力ポインタ（出力スキップレジスタ）106は、1ビットシフトレジスタにより構成され、出力SAM部105に対して出力ポインタ信号（SOP）を選択的に活性化して、処理結果（出力データ）の出力を制御する。

【0034】プログラム制御部107は、プログラムメモリ、プログラムメモリに記憶されたプログラムの進行を制御するシーケンス制御回路、および、入力SAM部102、データメモリ部103および出力SAM部105を構成するメモリ用の「ロウ（ROW）」アドレスコード（いずれも図示せず）等から構成される。プログラム制御部107は、これらの構成部分により、単一のプログラムを記憶し、原画像の水平走査期間ごとに、記憶した単一のプログラムに基づいて各種制御信号を生成し、生成した各種制御信号を介して全ての要素プロセッサ110を連動して制御することにより画像データに対する処理を行う。このように、単一のプログラムに基づいて複数の要素プロセッサを制御することを、SIMD制御と称する。

【0035】各要素プロセッサ（プロセッサエレメント）110は、1ビットプロセッサであり、外部の画像処理機器や前段の回路から入力される原画像の画素データそれぞれに対して、論理演算処理および算術演算処理を行い、要素プロセッサ110全体として、FIRデジタルフィルタによる水平方向および垂直方向のフィルタリング処理等を実現する。なお、プログラム制御部107によるSIMD制御は、水平走査期間を周期として行われるので、各要素プロセッサ110は、最大、水平走査期間を要素プロセッサ110の命令サイクルの周期で除算して得られるステップ数のプログラムを、各水平走査期間ごとに実行し得る。

【0036】また、要素プロセッサ110は、隣接する要素プロセッサ110と接続されており、必要に応じて、隣接する要素プロセッサ110とプロセッサ間通信を行う機能を有する。つまり、各要素プロセッサ110は、プログラム制御部107のSIMD制御に従って、例えば、右隣または左隣の要素プロセッサ110のデータメモリ部103等にアクセスして処理を行うことができ、また、右隣の要素プロセッサ110へのアクセスを繰り返すことにより、要素プロセッサ110は直接接続されていない要素プロセッサ110のデータメモリ部103に対してアクセスし、データを読み出すことができる。要素プロセッサ110は、隣接プロセッサ間の通信機能を利用して、水平方向のフィルタリング処理を全体として実現する。

【0037】ここで、たとえば、水平方向に10画素程度離れた画素データとの間の演算処理が必要になる場合等、プロセッサ間通信を行うとプログラムステップが非常に多くなってしまいが、実際のFIRフィルタ処理は、10画素も離れた画素データ間の演算処理をほとん

ど含まず、連続する画素データに対する演算処理がほとんどである。従って、プロセッサ間通信を行うFIRフィルタ処理のプログラムステップが増加して非効率になるということはほとんどあり得ない。

【0038】また、各要素プロセッサ110は、常に水平走査方向における同一位置の画素データを専門に担当して処理する。したがって、入力SAM部102から原画像の画素データ（入力データ）を転送する先のデータメモリ部103の書き込みアドレスを水平走査期間の初期ごとに変更して、過去の水平走査期間の入力データを保持しておくことができるので、要素プロセッサ110は、原画像の画素データを垂直方向にもフィルタリングすることができる。

【0039】なお、要素プロセッサ110それぞれにおける原画像の画素データ（入力データ）を入力SAM部102に書き込む入力処理（第1の処理）、プログラム制御部107の制御に従って、入力SAM部102に記憶された入力データのデータメモリ部103への転送処理、ALUアレイ部104による演算処理、出力SAM部105への処理結果（出力データ）の転送処理（第2の処理）、および、出力SAM部105からの出力データの出力処理（第3の処理）は、処理周期を1水平走査期間としたパイプライン形式で実行される。したがって、入力データに着目した場合、同一の入力データに対する第1～第3の処理それぞれは1水平走査期間分の処理時間を要するので、これら3つの処理の開始から終了までには、3水平走査期間分の処理時間が必要とされる。しかしながら、これら3つの処理がパイプライン形式で並行して実行されるので、平均すると、1水平走査期間分の入力データの処理には、1水平走査期間分の処理時間しか必要とされない。

【0040】以下、図2に示した画像処理用のリニアアレイ型SIMD制御プロセッサの基本的な動作を説明する。

【0041】入力ポインタ101では、最初の水平走査期間（第1の水平走査期間）において、入力された原画像の画素データに同期したクロックに応じて、各要素プロセッサ110に対する論理値1（H）の入力ポインタ信号が順次シフトされて、原画像の各画素データを担当して演算処理する要素プロセッサ110が指定される。

【0042】原画像の画素データは、入力端子DINを介して入力SAM部102に入力される。入力SAM部102では、入力ポインタ信号の論理値に応じて、各要素プロセッサ110に原画像の1画素分の画素データが記憶される。1水平走査期間に含まれる各画素に対応する要素プロセッサ110の全ての入力SAM部102において、それぞれ原画像の画素データが記憶される。そして、全体として1水平走査期間分の画素データが記憶されると、入力処理（第1の処理）が終了する。

【0043】入力処理（第1の処理）が終了すると、水

平走査期間ごとに、単一のプログラムに従って、各要素プロセッサ110の入力SAM部102、データメモリ部103、ALUアレイ部104および出力SAM部105がプログラム制御部107によりSIMD制御されて、原画像の画素データに対する処理が実行される。

【0044】すなわち、次の水平走査帰線期間（第2の水平走査期間）において、各入力SAM部102では、第1の水平走査期間において記憶した原画像の各画素データ（入力データ）がデータメモリ部103に転送される。

【0045】なお、このデータ転送処理は、プログラム制御部107が、入力SAM読み出し信号（SIR）を活性化〔論理値1（H）に〕して入力SAM部102の所定のロウ（ROW）のデータを選択してアクセスを行い、さらに、メモリアクセス信号（SWA）を活性化して、アクセスしたデータをデータメモリ部103の所定のロウのメモリセル（後述）へ書き込むように入力SAM部102およびデータメモリ部103を制御することにより実現される。

【0046】次に、水平走査期間にプログラム制御部107により、プログラムに基づいて各要素プロセッサ110が制御され、データメモリ部103からデータがALUアレイ部24に対して出力される。ALUアレイ部104では、算術演算処理および論理演算処理が行われ、処理結果がデータメモリ部103の所定のアドレスに書き込まれる。プログラムに応じた算術演算処理および論理演算処理が終了すると、プログラム制御部107では、データメモリ部103の制御が行われて、処理結果がさらに次の水平走査帰線期間に出力SAM部105に転送される（ここまでが第2の処理）。さらに、次の水平走査期間（第3の水平走査期間）において、出力SAM部105が制御されて、処理結果（出力データ）が外部に出力される（第3の処理）。

【0047】つまり、入力SAM部102に記憶された1水平走査期間分の入力データは、次の水平走査期間において、必要に応じてデータメモリ部103に転送され、記憶されて、その後の水平走査期間における処理に用いられる。

【0048】次に、図2に示すような基本構成を有するDSP11におけるIP変換の具体的な処理について、図2～図6に関連付けて説明する。

【0049】図2および図3に示すように、画像ソースからのインターレース信号は、メモリ12に入力されるとともに、DSP11の第1の入力端子I1に入力される（このデータをDI1とする）。また、メモリ12に格納されたデータは、メモリ13に入力されるとともに、DSP11の第2の入力端子I2に入力される（このデータをDI2とする）。さらに、メモリ13に格納されたデータは、DSP11の第3の入力端子I3に入力される（このデータをDI3とする）。そして、DS

P11のデータメモリ部(図2, 103)データDI2を2ライン分蓄える。これらのデータを、L1、L2とする(ST101, ST102)。

【0050】データDI1とデータDI3のデータを比較し、その差の第1の絶対値を求め(ST103)、第1の絶対値があらかじめ設定した第1のしきい値(閾値1)以下の場合、その画素を「静止領域」とみなす。一方、データDI1とデータDI3のデータを比較し、その差の第1の絶対値を求め(ST103)、第1の絶対値が設定しきい値より大きい場合、その画素を「動き領域」とみなす。

【0051】以上の前フィールドの動き検出の結果が「静止」ならば、第2のしきい値(閾値2)に、ある定数を加算し(ST104)、前フィールドの動き検出の結果が「動き」ならば、この閾値2に、ある定数を減算する(ST105)。この閾値2が、255を超えた場合には255にし(ST106~ST108)、128より小さくなったときは、128にする(ST109~ST111)。ただし、8ビットの場合である。

【0052】そして、データDI1とデータDI3のデータを比較し、閾値1以下の場合には、図4に示すように、L1、L2データの平均値であるフィールド内補間データR1を作成し(ST112)、データDI1、DI3データの平均値であるフィールド間補間データR2を作成し(ST113)、フィールド内補間データR1とフィールド間補間データR2とを比較し、その差の第2の絶対値を求める(ST114)。

【0053】第2の絶対値が閾値2より大きい場合、その画素を「動き領域」とみなし、それ以外の場合その画素を「静止領域」とみなす。そして、動き領域の空間広げを行う(ST115)。隣り合う画素の動き検出の結果が、「動き」の場合には、自分の画素の動き検出の結果を動きとする。

【0054】その結果、「動き領域」とみなされた画素は、検出結果に従って内部メモリに蓄積したデータL1、L2から、補間データR1を作成し、補間データR1、データDI2を出力する(ST116, ST117)。一方、「静止領域」とみなされた画素は、データDI1、データDI2を出力する(ST118)。

【0055】上述したように、本実施形態においては、フィールド内補間の結果と、フィールド間補間の結果が、所定のしきい値を超える場合は、動き領域とみなしフィールド内補間とするようにしている。その結果、図10(A)~(D)で示す処理を行った場合、図5(A)に示すように、エラーが発生しない。同様に、図11(A)~(D)で示す処理を行った場合、図5(B)に示すように、エラーが発生しない。

【0056】さらに、上記アルゴリズムにおいて、1ON/1OFFのある静止画の場合、たとえば図6(A)~(C)に示すような静止画で、1フィールド目と3フ

ィールド目の黒塗りの四角(■)が同じ位置で静止しているが、2フィールド目の白抜きの四角(□)から補間して作成した同じ位置に相当する白丸(O)と、黒塗りの四角(■)のデータの差が設定したしきい値を超えている場合には、本来静止しているにもかかわらず動きとみなされてしまうので、2フィールド目のフィールド内で補間されたデータが結果として出力されてしまう。この結果、画像がちらついてみえてしまう。そこで、本実施形態においては、上述したように、前フィールドの動き検出の結果によってこのしきい値を自動的に調整する。そして、前フィールドの動き検出の結果が静止ならば、このしきい値を高くし、動きならば、低くする。この際、しきい値は、ある範囲内から出ないようにする。これにより、静止が続いた場合には、しきい値がだんだん高くなり、上記のような場合にもちらつきなくIP変換を行うことができる。

【0057】以上説明したように、本実施形態によれば、インターレース信号からプログレッシブ信号に変換するIP変換の際のデータの無いラインについて、補間データを作成するときに行う動き検出を、現フィールドと2フィールド遅延のデータと1フィールド遅延のデータから補間して作成したデータと前フィールドの動き検出結果とに基づいて行い、動いている領域は、1フィールド遅延のデータからフィールド内補間して補間データを作成し、静止している領域は、現フィールドのデータからフィールド間補間して補間データを作成し、フィールド内補間の結果と、フィールド間補間の結果が、あるしきい値を超える場合は、動き領域とみなしフィールド内補間を行い、前フィールドの動き検出結果が静止ならばしきい値を大きくし、動きならばしきい値を小さくするDSP11を設けたので、高速スクロールの画面をIP変換する際に発生する動き検出の破綻を軽減でき、精度高くIP変換を行うことができる。

【0058】

【発明の効果】本発明によれば、高速スクロールを伴う画像に対してIP変換を行っても、動き検出の破綻が少なく補間でき、精度高くIP変換を行うことができる利点がある。

【図面の簡単な説明】

【図1】本発明に係る画像信号処理装置の一実施形態を示すブロック図である。

【図2】本発明に係るDSPを構成するSIMD制御プロセッサの基本的な構成を示すブロック図である。

【図3】本発明に係る画像信号処理装置の動作を説明するためのフローチャートである。

【図4】本発明に係る画像信号処理装置の動作を説明するためのフローチャートである。

【図5】本発明に係る画像信号処理装置において図10(A)~(D)および図11(A)~(D)の処理を行った場合のIP変換の結果を示す図である。

【図6】前フィールドの動き検出の結果によってこの閾値を自動的に調整することによる効果を説明するための図である。

【図7】インターレース信号の説明図である。

【図8】プログレッシブ信号の説明図である。

【図9】IP変換の説明図である。

【図 10】従来の IP 変換の課題を説明するための図である。

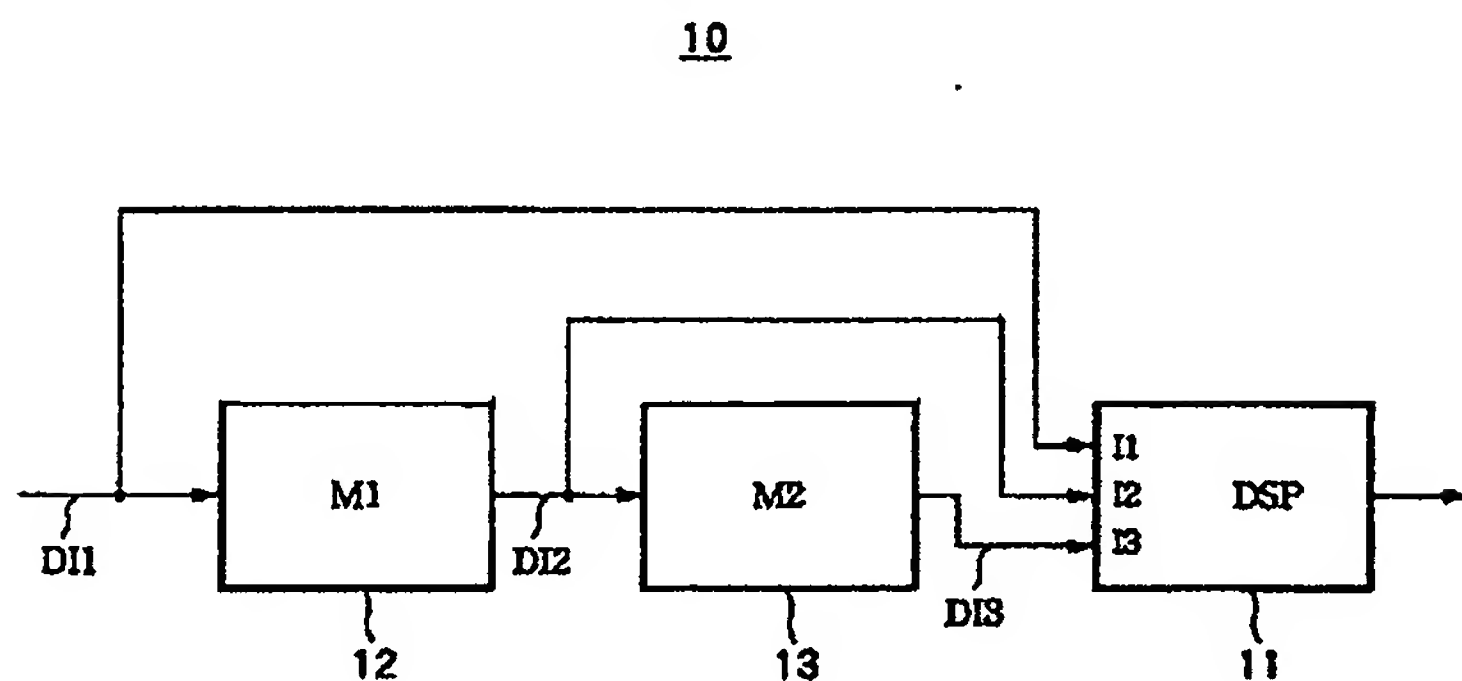
【図 1 1】従来の IP 変換の課題を説明するための図で

ある。

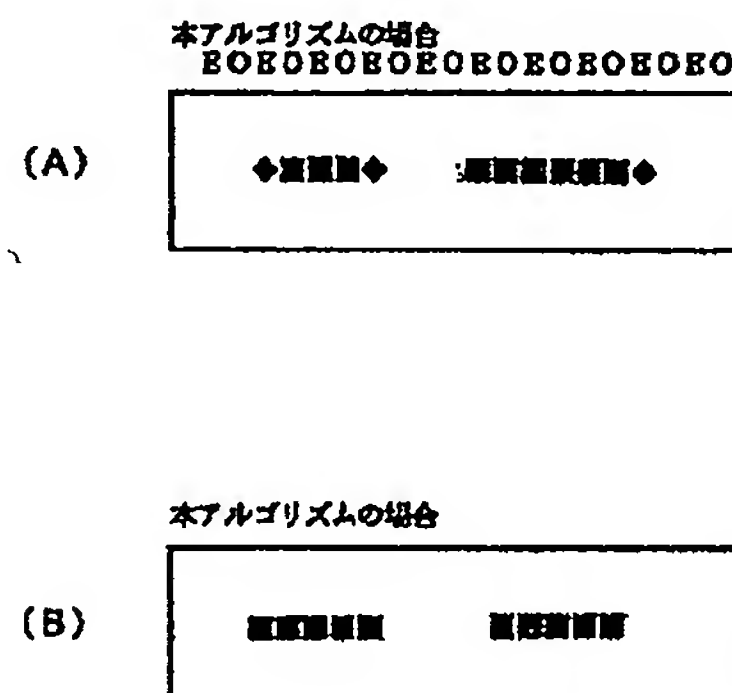
【符号の説明】

10…画像信号処理装置、11…DSP、12、13…メモリ、100…SIMD制御プロセッサ、101…入力ポインタ（入力スキップレジスタ）、102…入力SAM部（入力レジスタ）、103…データメモリ部（ローカルメモリ）、104…ALUアレイ部、105…出力SAM部（出力レジスタ）、106…出力ポインタ（出力スキップレジスタ）。

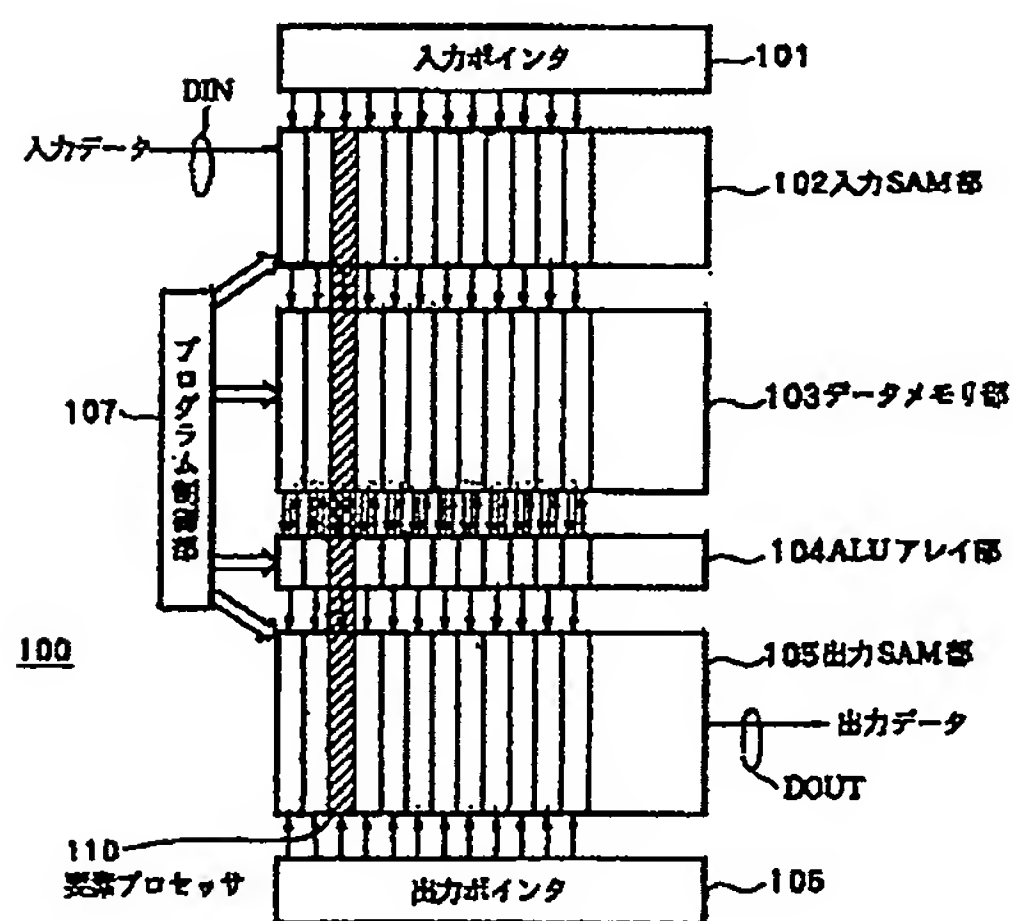
【圖 1】



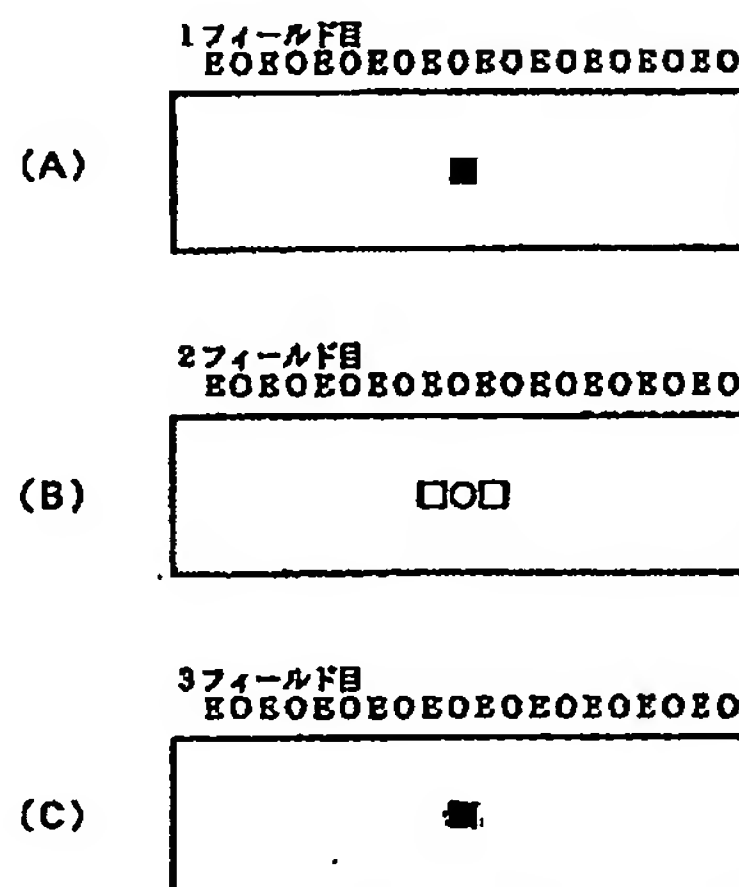
【图5】



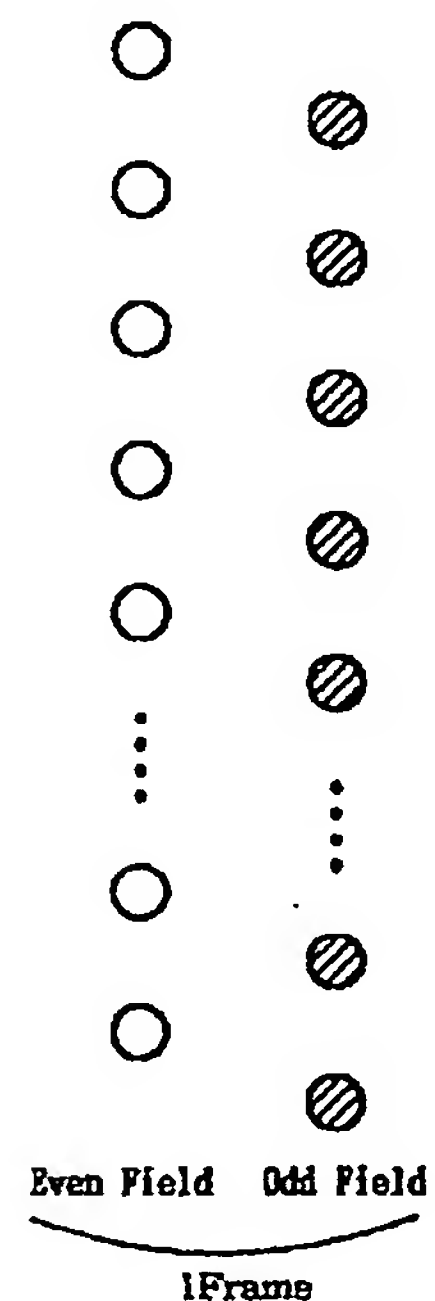
【圖 2】



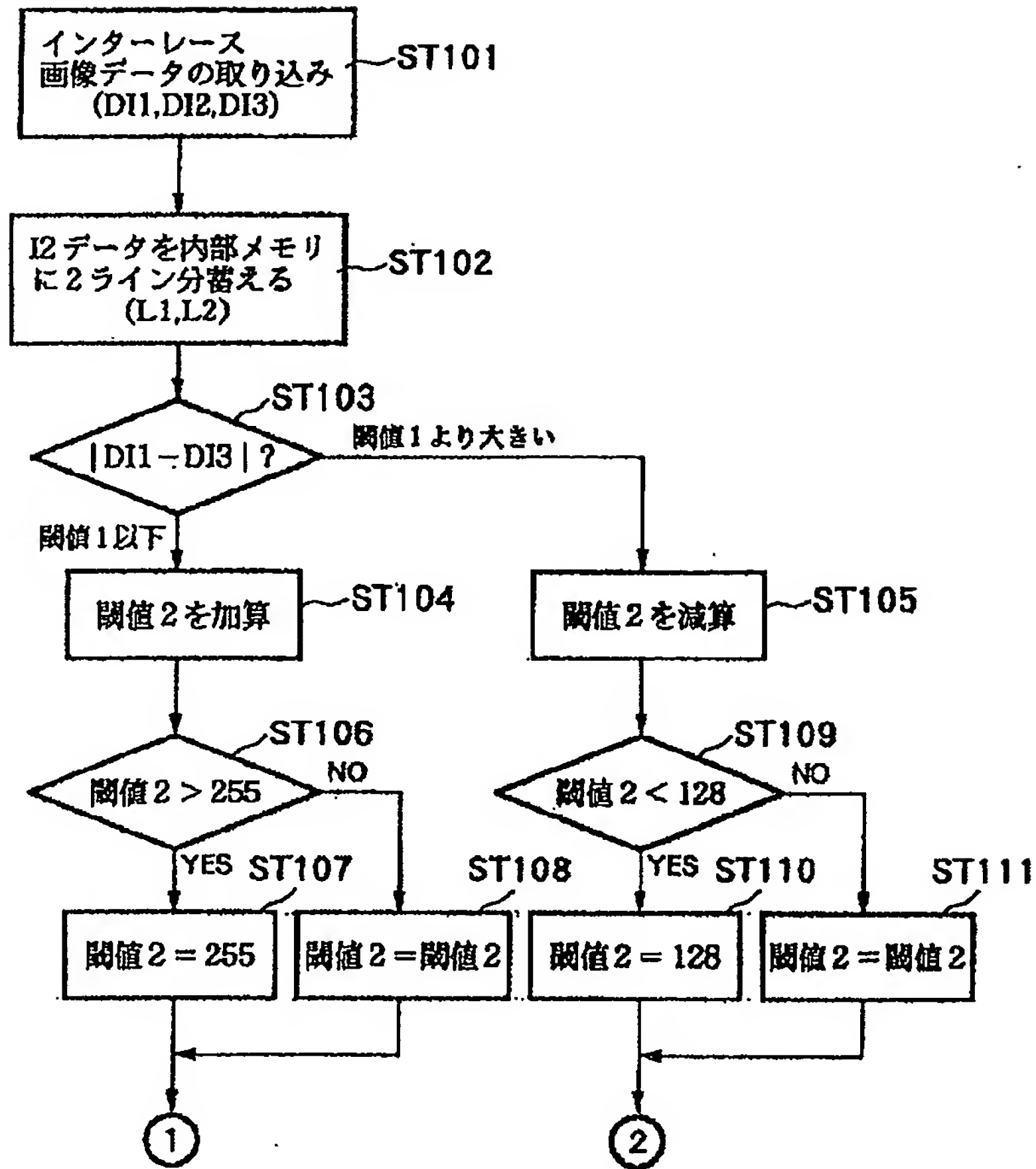
【图6】



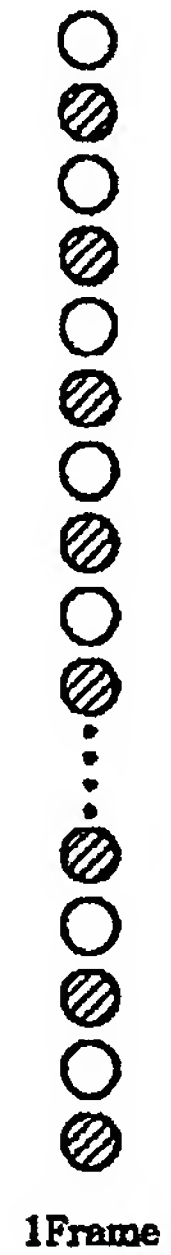
【図7】



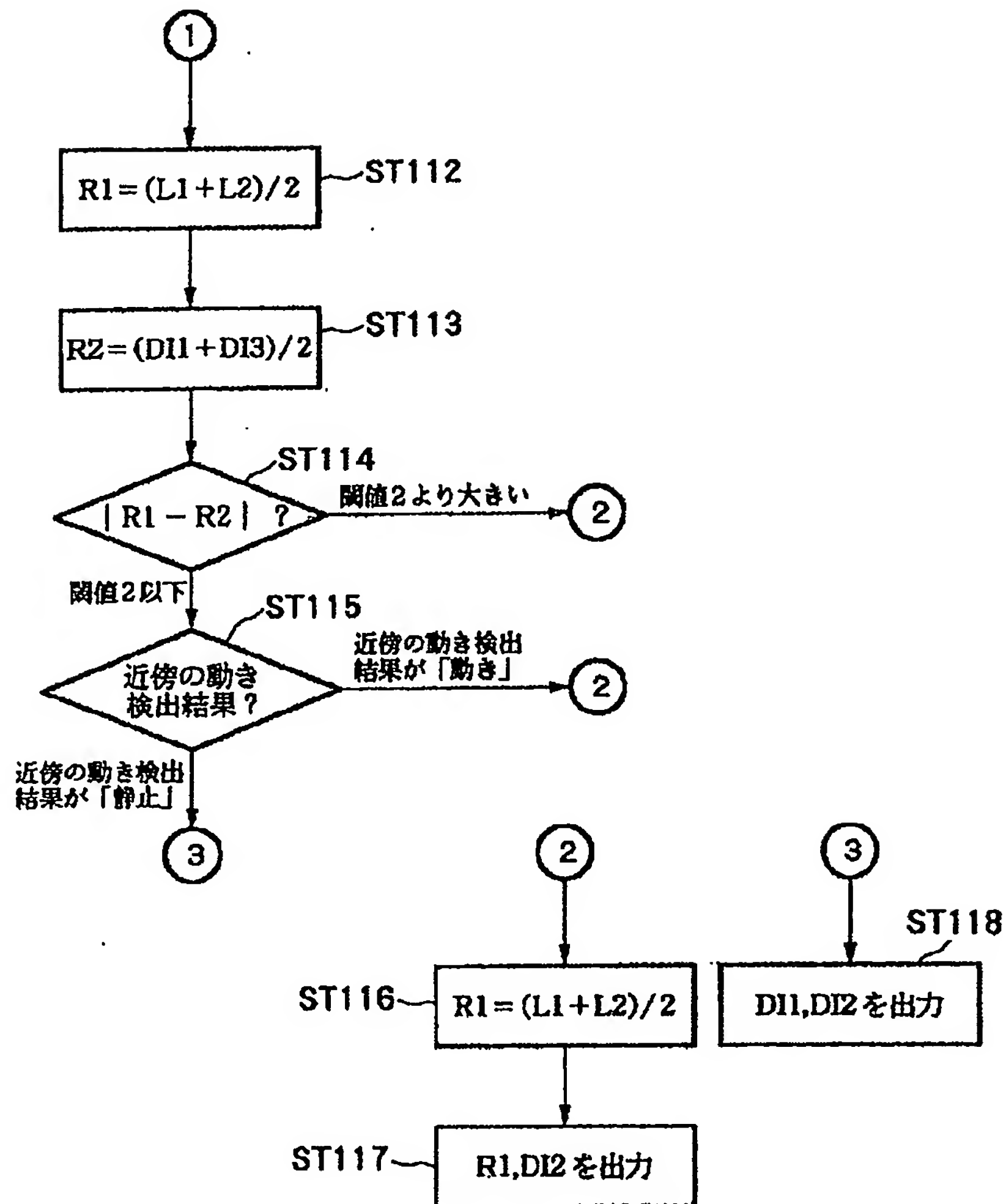
【図3】



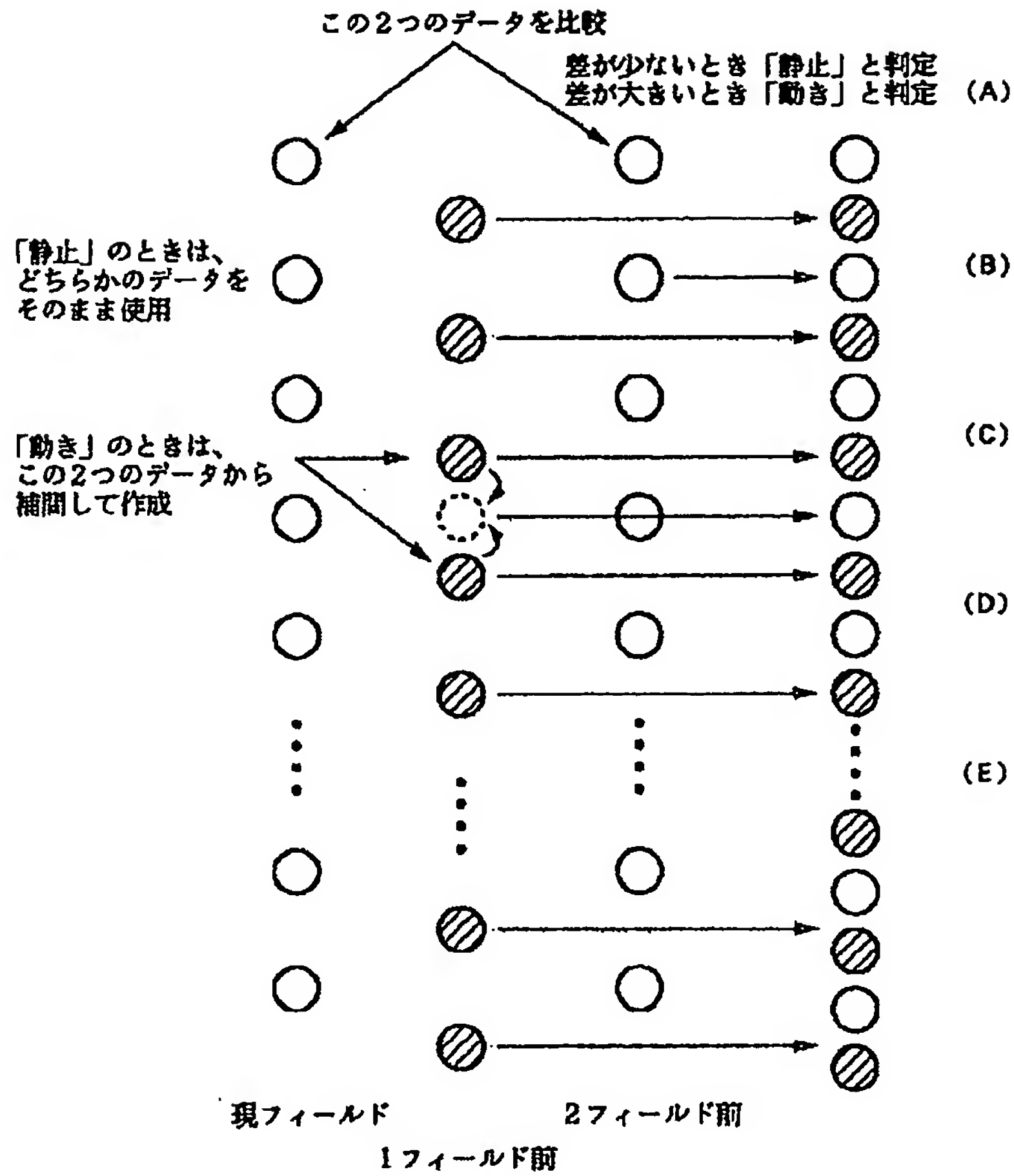
【図8】



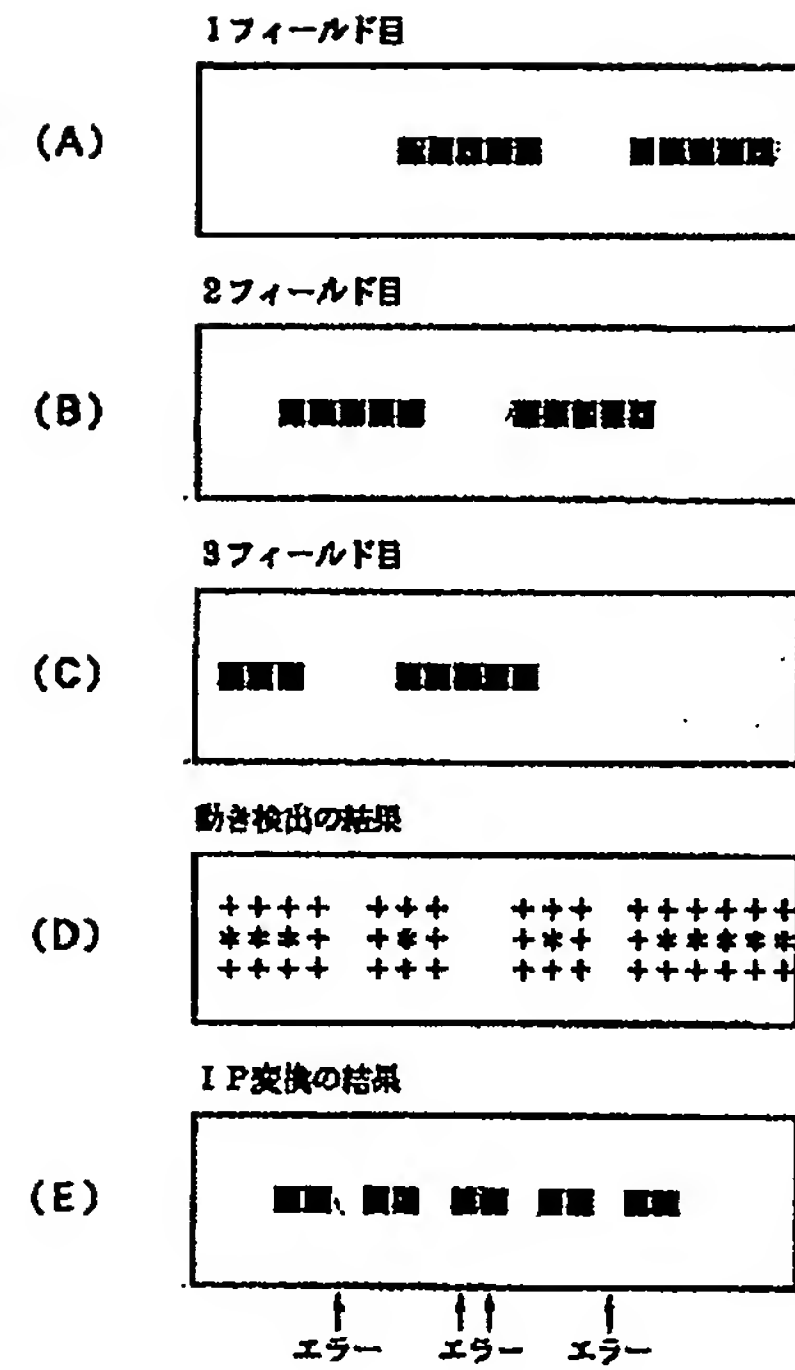
【図4】



【図9】



【図11】



【図10】

